

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-112899

(43)Date of publication of application : 17.05.1988

(51)Int.Cl.

G11C 19/00  
H04N 1/04

(21)Application number : 61-256679

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 28.10.1986

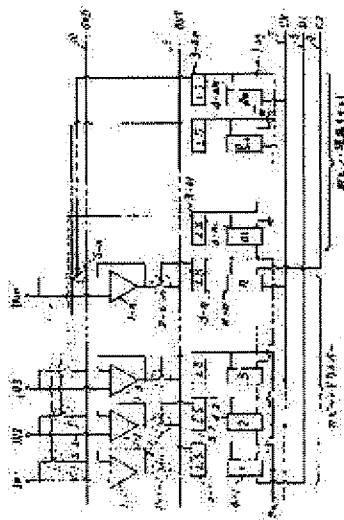
(72)Inventor : HAMANO TOSHIHISA  
IWAMORI TOSHIMICHI  
YAMAUCHI KAZUMI

## (54) DRIVING CIRCUIT

### (57)Abstract:

**PURPOSE:** To reduce a chip area in case a driving circuit for reading out many input signals is formed by an IC, by providing a bidirectional shift register of (m) bits, on the driving circuit for executing bidirectional read-out and reading out many input signals, by using the bidirectional shift register.

**CONSTITUTION:** At the time of executing a scanning from the left to the right, a scanning switch 2-1 is turned on, and thereafter, a resetting switch 5-1 is turned on by being delayed by (m) bits. Switches 2-2, 2-3 are turned on successively, and thereafter, switches 5-2, 5-3 are turned on by being delayed by (m) bits, respectively. In such a way, continuous read-out can be executed. On the contrary, at the time of executing the scanning from the right to the left, continuous read-out of an image sensor can be executed by driving the shift registers 4-1W4-n and 4-01W4-0m in the reverse direction. In such a way, when the shift register for a dummy bit is made bidirectional, an image sensor driving circuit which can execute a bidirectional scanning is obtained by only providing (m) pieces of shift registers.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

昭63-112899

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)5月17日

G 11 C 19/00  
H 04 N 1/04

1 0 3

C-7208-5B  
8220-5C

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 ドライブ回路

⑯ 特 願 昭61-256679

⑰ 出 願 昭61(1986)10月28日

⑱ 発 明 者 浜 野 利 久 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内  
⑱ 発 明 者 岩 森 俊 道 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内  
⑱ 発 明 者 山 内 和 海 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内  
⑲ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号  
社  
⑳ 代 理 人 弁理士 山谷 皓 榮

## 明 細 書

トレジスタを用いた双方向のドライブ回路に関する。

## 1. 発明の名称 ドライブ回路

## 2. 特許請求の範囲

シフトレジスタによって多数の入力信号を順次  
繰出すようにすると共に、入力信号の入力ライン  
に入力ラインアース用のリセットスイッチを設け  
て、入力信号繰出後、所定のmビット遅れて前記  
リセットスイッチをオンにして、入力信号ライン  
をリセットするようにしたドライブ回路において、  
mビット遅延リセット用のm個の双方向シフトレ  
ジスタを設け、双方向スキヤニングを可能となる  
ようにしたことを特徴とする、  
ドライブ回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、イメージセンサー等からの信号を  
読み出すためのドライブ回路に係り、特に、シフ

[従来の技術]

多数の光センサー、例えばフォトダイオードを  
並べたイメージセンサーがファクシミリのセンサ  
ー部等に使用されている。

特に、アモルファスシリコンを利用した原稿と  
同じ長さの長大なセンサーが実現されるに至り、  
重要性が増している。

このフォトセンサーは、多数のフォトダイオ  
ードを並べているため、このフォトセンサーから映  
像信号を得るためには、フォトダイオード列から  
成るイメージセンサーを順次読み出すためのドラ  
イブ回路が必要となる。

第2図は、センサー部分を含めたドライブ回路  
の例である。図において、20はフォトダイオ  
ード等より成るセンサーで、このセンサーが多数並  
んでイメージセンサーが作られる。21はボルテ  
ージフォロワであり、インバーダンス変換器とし

て動作する。22は、N-MOSFET 22'およびP-MOSFET 22''より成る走査用のアナログスイッチ、23はレベルシフト、24、25はそれぞれシフトレジスタである。26はインバータ、27は、配線部に寄生する浮遊容量である。

このようなイメージセンサーのドライブ回路において、光がセンサー20に入射すると、これは、センサー20を含めて容量27に、入射光量に応じた電荷を蓄積する。

その電位レベルをボルテージフォロワ21で受け、走査用のアナログスイッチ22を開閉して、出力信号としての映像信号を得る。

走査用のアナログスイッチ22を開閉するためのタイミング信号は、シフトレジスタ24、25により作られる。インバータ26は、N-MOS 22'、P-MOS 22''のFETより成るアナログスイッチを開閉するための信号を作るためのものである。

各シフトレジスタにはクロック入力27および

走査入力が設けられており、各クロック毎に遅延された走査入力をシフトレジスタから得て、この信号により走査用のアナログスイッチ22を開閉する。

この時、センサー読み出し後の入力ラインに電荷が残っていると、次の画像信号読取時にこれが合わせて読み出され画像信号に雑音が混入することとなるので、入力ラインをアースするためのリセット回路を設ける必要がある。

第3図は、このリセット回路にCMOS構成のアナログスイッチ31、32……を設けた例である。図において、21、21'は第2図のボルテージフォロワ21に対応するもので、このボルテージフォロワ21、21'の出力は、走査用アナログスイッチに入力される。また、ボルテージフォロワの入力である端子36、37は、それぞれセンサーに接続されている。

この第3図において、走査用アナログスイッチをオンにして、映像信号を読み出した後、アナログスイッチ31、32を順次オンにして、端子3

3

6、37を順次オンにしてリセットし、各入力ラインに残っている電荷をアースする。

ところが、このように隣接したセンサーの入力ライン間には、浮遊容量33が存在するため、リセットのタイミングによっては、次段の出力信号が影響されてしまうという問題点を有する。

この問題点を解決するため、リセットのタイミングを、読み出し時から出来るだけ遅らせることがよい。

第4図は、このような、リセットのタイミングをmビット遅れさせたドライブ回路の例を示す。図において、46-1、46-2……46-nは、シフトレジスタであり、端子43からのクロックに応じて、スイッチ47-1、47-2……47-nを順次オンオフ制御するための制御信号を発生する。これらはnビットドライバを構成する。

45-1、45-2……45-nは、シフトレジスタ46-1等の出力を受け、そのレベルを変換するレベルシフトであり、このレベルシフトの出力によってスイッチ47-1、47-2……を制御

4

する。

44-1、44-2……44-nは、ボルテージフォロワであり、端子40-1、40-2、……40-nに接続されたセンサーからの出力を受け、前述のスイッチ47-1、……47-nを介して映像信号出力を端子42に出力する。スイッチ47-1、47-2……47-nは、シフトレジスタ46-1、46-2……46-nからの制御信号を受けて順次開閉されるので、一列に並んだセンサーの出力を一連の映像信号として出力することになる。

前述のとおり、映像信号を読み出した後の入力ラインに残っている電荷をアースするため、スイッチ48-1、48-2……48-nが設けられている。そして、例えばスイッチ47-1が閉となってセンサーの出力が読み出された後、mビット後に、スイッチ48-1を開じて、このラインの残留電荷を除去する。

従って、n番目のセンサーからの出力40-nをスイッチ47-nの開によって読み出した後、

5

—630—

6

$n$  ビット後にスイッチ  $46-n$  を閉にするためには、さらに  $m$  ビット遅延リセットのためのダミービットとなるシフトレジスタ列  $46-01 \sim 46-0m$  が必要となる。

第4図に示した例は、スイッチ  $47-1$ 、 $47-2 \dots 47-n$  を、上記の順にオンとして、センサーを読み出すもの、即ち、図の左から右方向へのスキヤンのみを行う場合のものであるが、場合によっては、左から右方向のみでなく、右から左方向へスキヤニングする必要が生ずる。

第5図は、このように、左→右、右→左へのスキヤニングを可能にした例である。図において、第4図と同じ部材には同じ番号が付与してある。この場合は、 $n$  ビットドライバを構成するシフトレジスタ  $56-1$ 、 $56-2 \dots 56-n$  として、左右双方向にシフト可能なシフトレジスタを使用することと、 $n$  ビットドライバの右部分に  $m$  ビット遅延リセット用のダミービットであるシフトレジスタ群  $46-01 \sim 46-0m$  を設ける外に、 $n$  ビットドライバの左側にも  $m$  ビット遅延リセッ

ト用のダミービットであるシフトレジスタ群  $46-01' \sim 46-0m'$  を設けている。また、センサー入力ラインに設けられる入力ラインリセット用のスイッチ  $58-1 \sim 58-n$  は、シフトレジスタ  $46-01 \sim 46-0m$  及びシフトレジスタ  $46-01' \sim 46-0m'$  の双方からの信号によっても制御される。

従って、左から右へのスキヤニングの際には、シフトレジスタ群  $46-01 \sim 46-0m$  を使用することによって  $m$  ビット遅延した形でスイッチ  $58-1$ 、 $58-n$  を閉じ、センサーの入力ラインをアースすると同時に、右から左へのスキヤニングの際にも、シフトレジスタ群  $46-01' \sim 46-0m'$  を使用することによって、 $m$  ビット遅延リセットを可能とすることができる。

(発明が解決しようとする問題点)

以上述べたように、入力ラインに残っている電荷を完全に抜きとる為の、入力ラインのリセットを、読み出し時より  $m$  ビットだけ遅れたタイミング

で行わせようとする、一方方向スキヤニングの場合でも  $n+m$  ビットのシフトレジスタ群が必要となる。

更に、イメージセンサーの読取りの方向性に自由度を与えるために、左右双方向の走査(双方向スキヤニング)を可能となるようにすると、第5図に示すように、 $n$  ビット・ドライバに対し、 $2m$  ビットのシフトレジスタが必要となる。これをそのまま、集積回路としてレイアウトすると、必要とするチップサイズが大きくなるという問題点を有している。

この発明は、このような点にかんがみてなされたものであり、双方向スキヤニングを可能としたイメージセンサードライブ回路において、IC化した時のチップの面積の減少を図ることができるイメージセンサードライブ回路を提供することを目的とする。

(問題点を解決するための手段および作用)

上述の問題点を解決するため、この発明におい

ては、双方向シフトレジスタを用いて双方向読み出しを行う多数の入力信号を読み出すためのドライバ回路において、 $m$  ビットの双方向シフトレジスタを設けることを特徴とする。

これにより、上記、多数の入力信号読み出しのためのドライバ回路をIC化する際のチップ面積の縮小を図ることを可能にする。

(実施例)

第1図は、この発明の実施例である。図において、 $1-1$ 、 $1-2$ 、 $\dots 1-n$  は、ボルテージフォロワであり、端子  $1N1$ 、 $1N2 \sim 1Nn$  からのイメージセンサー出力を、スキヤン用のスイッチ  $2-1$ 、 $2-2 \sim 2-n$  を介して、順次映像出力として、出力ライン6に送り出す。 $3-1$ 、 $3-2$ 、 $\dots 3-n$  は、レベルシフターであり、シフトレジスタ  $4-1$ 、 $4-2 \sim 4-n$  からの信号のレベルをスキヤン用のスイッチ  $2-1$ 、 $2-2 \sim 2-n$  駆動に適するものとして、前記スキヤン用のスイッチ  $2-1$ 、 $2-2 \sim 2-n$  に送るもので

ある。

また、スイッチ $5-1$ 、 $5-2$ 、 $\sim 5-n$ は、センサーの入力ライン $1N1 \sim 1Nn$ に残留している電荷を除くためのリセット用のスイッチである。リセット用のスイッチ $5-1$ は、スイッチ $2-1$ が閉となった後 $m$ ビット遅れて閉となるものである。

各スイッチ $2-1$ 、 $2-2$ 、 $\sim 2-n$ およびスイッチ $5-1$ 、 $5-2$ 、 $\sim 5-n$ は、第2図、第3図で説明したアナログスイッチが利用できることはいうまでもない。

$n$ 番目のスイッチ $5-n$ が、スイッチ $2-n$ のオン後 $m$ ビット遅延した後オンとなるため、 $g$ ミュービット用の $m$ 個の $m$ ビット遅延リセット用のシフトレジスタ $4-01 \sim 4-0m$ が設けられている。

以上は、第5図に示した従来例とその基本を同一にするものであるが、この発明においては、 $g$ ミュービット用の $m$ ビット遅延リセットのためのシフトレジスタ $4-01 \sim 4-0m$ として、双方向

シフトレジスタを用い、 $n$ ビットドライバのシフトレジスタ $4-1$ からのシフト出力を、 $m$ ビット遅延リセット用のシフトレジスタ $4-0m$ に接続して、シフトレジスタ $4-1 \sim 4-n$ および $4-01 \sim 4-0m$ で閉リングを形成している。

このようなイメージセンサードライブ回路において、左から右へスキヤニングを行う時は、スキヤン用スイッチ $2-1$ のオン後、 $m$ ビット遅れてリセット用スイッチ $5-1$ をオンとする。順次スキヤン用スイッチ $2-2$ 、 $2-3$ をオンにした後、それぞれ $m$ ビット遅れてリセット用スイッチ $5-2$ 、 $5-3$ をオンとする。このようにして、最後にスイッチ $2-n$ がオンになると、 $m$ ビット後、 $g$ ミュー用のシフトレジスタ $4-0m$ からの信号によってスイッチ $5-m$ が駆動されてリセットが行われる。シフトレジスタ $4-0m$ とシフトレジスタ $4-1$ が互いに接続されてこれらのシフトレジスタが閉じたリングを形成しているので、この動作は、再びスイッチ $2-1$ の閉へと進み、連続的な読み出しが可能となる。

1 1

逆に、右から左へのスキヤニングを行うときには、シフトレジスタ $4-1 \sim 4-n$ および $4-01 \sim 4-0m$ の駆動を逆方向にすることにより、イメージセンサーの連続的な読み出しが可能となることも明らかである。

以上、この発明の実施例としてイメージセンサーのドライブ回路をあげて説明してきたが、これに限られることなく、一般的なドライバ回路に使用し得ることはいうまでもない。

なお図では説明の簡略化のため、シフトレジスタを右または左方向にシフト制御するための制御信号回路については省略した。

(発明の効果)

以上述べたとおり、この発明においては、 $g$ ミュービット用のシフトレジスタを双方向とすることにより、 $m$ 個のシフトレジスタのみを設けるだけで、双方向スキヤニングの可能なイメージセンサードライブ回路を実現できる。

これは、例えば、64ビットのドライバでリセ

1 2

ットを10ビット遅らすものとすれば、本来84ビット分のシフトレジスタを必要とするところ74ビット分のシフトレジスタのみで良いことになり、約12%の面積縮小が計れることとなる。

また、リセットは遅くなる方が出力信号線への影響が小さくなるので、遅く遅らせる事によってドライブ回路の性能を一層向上させることができ、このとき、増々本発明の効果が上がることになる。

#### 4. 図面の簡単な説明

第1図は、この発明の実施例を示す図、第2図、第3図は、この発明の原理であるイメージセンサードライブ回路の動作を説明する図、第4図、第5図は、それぞれ従来例を示す図である。

1-1、1-2 $\sim 1-n$ …ボルテージフォロウ、  
2-1、2-2 $\sim 2-n$ …スキヤン用スイッチ、  
3-1、3-2 $\sim 3-n$ …レベルシフター、  
4-1、4-2 $\sim 4-n$ … $n$ ビットドライバ用シフトレジスタ、

1 3

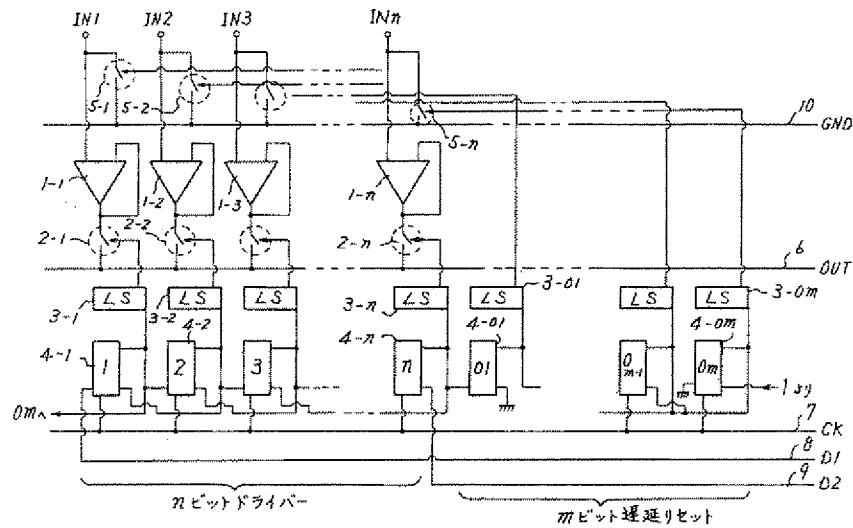
—632—

1 4

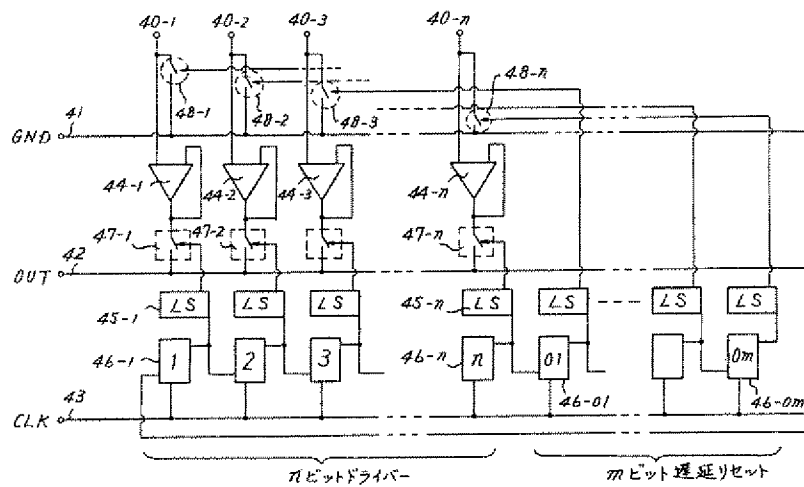
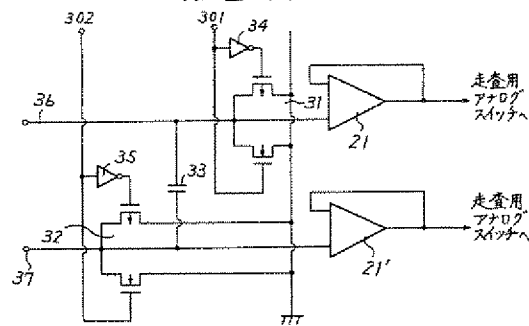
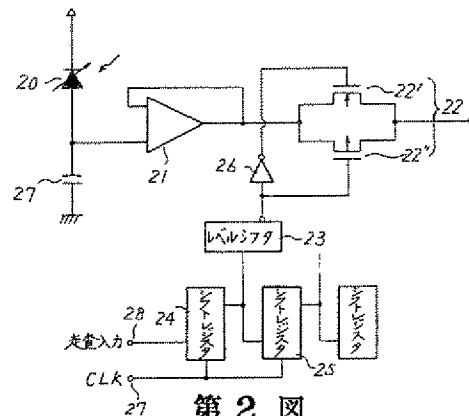
4-01、4-02～4-0m…mビット遅延リ  
セット用シフトレジスタ、  
5-1、5-2～5-n…nビット遅延リセット用スイッチ。

特許出願人 富士ゼロックス株式会社  
代理人弁理士 山 谷 晴 榮

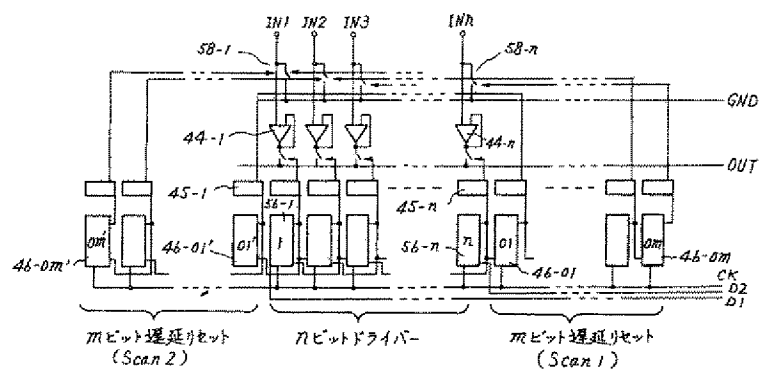
15



第 1 図







第 5 図